

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 05090897  
PUBLICATION DATE : 09-04-93

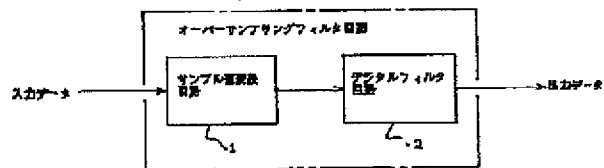
APPLICATION DATE : 26-09-91  
APPLICATION NUMBER : 03273487

APPLICANT : SONY CORP;

INVENTOR : IKEDA YASUNARI;

INT.CL. : H03H 17/02

TITLE : OVERSAMPLING FILTER CIRCUIT



ABSTRACT : PURPOSE: To make it possible to enhance the oversampling processing speed by making the operating speed of each adder, multiplier, and so on constituting the digital filter circuit equal to input data speed.

CONSTITUTION: A sample number converting circuit 1 in the over-sampling circuit carries out sample number conversion on input data, while the interpolation points that is obtained by the sample number conversion processing are provided with temporary reference value 0. Further, the data processing section at the even side of the digital filter circuit and the data processing section at the odd side thereof carry out the convolution arithmetic operation on each data obtained from a circuit 1, the DC correction is carried out on resultant data using the correcting value corresponding to the essential reference value, and the output from the data processing section at the even side and the output from the data processing section at the odd side are alternately selected and output. With this constitution, the operation speed of each adder and multiplier in the data processing section at the even side and the operation speed of each adder and multiplier in the data processing section at the odd side are made equal to the input data speed, thereby carrying out the oversampling processing at doubled high speed.

COPYRIGHT: (C)1993,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-90897

(43) 公開日 平成5年(1993)4月9日

(51) Int. Cl.<sup>6</sup>  
H 0 3 H 17/02

識別記号 庁内整理番号  
A 7259-5J

F I

技術表示箇所

審査請求 未請求 請求項の数 1 (全 10 頁)

(21) 出願番号 特願平3-273487

(22) 出願日 平成3年(1991)9月26日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 池田 康成

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

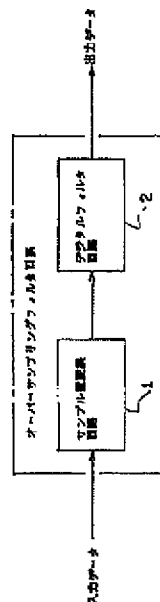
(74) 代理人 弁理士 高橋 光男

(54) 【発明の名称】 オーバーサンプリングフィルタ回路

(57) 【要約】

【目的】 本発明はデジタルフィルタ回路を構成する各加算器、各乗算器等の動作速度を入力データの入力データ速度と同じにしながら、オーバーサンプリング処理を行なってオーバーサンプリング処理の高速化を達成する。

【構成】 サンプル数変換回路1によって入力データに対するサンプル数変換を行なうとともに、このサンプル数変換処理によって得られた補間点に対し仮の基準値として“0”を与えた後、デジタルフィルタ回路2の偶数側データ処理部6や奇数側データ処理部7によって前記サンプル数変換回路1で得られた各データに基づいて畳み込み演算を行なってこの演算処理によって得られたデータに対し本来の基準値に対応する補正値に基づいた直流補正を行ない、マルチプレクサ回路8によって前記偶数側データ処理部6や奇数側データ処理部7で得られた各データを順次、選択して出力データを生成する。。



1

## 【特許請求の範囲】

【請求項1】 入力データに対してサンプル数変換を行なうとともに、補間点に対し仮の基準値として“0”を与えるサンプル数変換部と、

このサンプル数変換部によって得られたデータに基づいて畳み込み演算を行なってこの演算処理によって得られたデータに対し本来の基準値に対応する補正値に基づいた直流補正を行なう複数のデータ処理部と、

これら各データ処理部によって得られた各データを順次、選択して出力データを生成する選択部と、

を備えたことを特徴とするオーバーサンプリングフィルタ回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はオーバーサンプリングフィルタ回路に関する。

【0002】

【従来の技術】 入力データの標準化周波数を $n$ 倍するオーバーサンプリングフィルタ回路では、実際の各入力標本点間に“ $n-1$ ”個の一定値を持った標本点が存在すると考えて、標準化速度を $n$ 倍にした入力データに対して通過域が“ $\pi/n$ ”の低域デジタルフィルタでフィルタリングすることにより、入力されたデータの $n$ 倍の標準化周波数を得るという手法でオーバーサンプリング処理を行なっている。

【0003】 図6はこのような手法によるオーバーサンプリング処理の一例を示すブロック図である。この図に示す如くこのオーバーサンプリング回路では、入力データをサンプル数変換回路101に供給し、このサンプル数変換回路101によってサンプル数変換を行なって入力標本点間に補間点を挿入するとともに、各補間点に対して基準値 $C$ を与えた後、デジタルフィルタ回路102によって入力データの帯域制限を施して出力データを得る。この場合、入力データがビデオ信号であり、2倍のオーバーサンプリングを行なうときには、入力データの基準レベルがベデスタルレベルとなるので、初めのサンプリング数変換で補間点にベデスタルレベルが与えられる。

【0004】 また、このようなオーバーサンプリング処理で使用されるデジタルフィルタ回路102は図7に示す如く前記サンプル数変換回路101に入力される入力データの周波数に比べて2倍の周波数を有するクロック信号 $f_{s2}$ が供給される毎にデータを取り込んでシフトする複数のレジスタ103と、これら各レジスタ103の各タップから出力されるデータを選択的に加算する複数の加算器106と、これら各加算器106の加算動作によって得られた各データに対して予め設定されている係数 $h_1 \sim h_n$ のいずれかをかける複数の乗算器108と、これら各乗算器108から出力されるデータを加算する複数の加算器110とを備えており、入力データ逐

2

度の $n$ 倍の周波数を有するクロック信号 $f_{s2}$ が供給される毎に、入力データを取り込むとともに、これらの各データに対してシフト処理や加算処理、係数乗算処理、加算処理等を行なって図8に示すデジタルフィルタ特性で前記入力データを処理しこの処理結果を出力データとして出力する。これによって、前記サンプル数変換回路101に入力される入力データが図9(a)に示す特性を持っているとき、図9(b)に示す特性の出力データが出力される。

10 【0005】

【発明が解決しようとする課題】 しかしながら、上述した従来のオーバーサンプリング処理で使用するデジタルフィルタ回路102においては、 $n$ 倍のオーバーサンプリング処理を行なうとき、入力データ速度の $n$ 倍の周波数を持つクロック信号 $f_{s2}$ を使用して各レジスタ103や各加算器106、110、各乗算器108を入力データ速度の $n$ 倍の周波数で動作させなければならないので、これら各レジスタ103や各加算器106、110、各乗算器108の動作速度によってオーバーサンプリングの倍率が決まってしまう、高速で動作させるのが難しいという問題があった。

【0006】 本発明は上記の事情に鑑み、デジタルフィルタ回路を構成する各加算器、各乗算器等の動作速度を入力データの入力データ速度と同じにしながら、オーバーサンプリング処理を行なうことができ、これによってオーバーサンプリング処理の高速化を達成することができるオーバーサンプリングフィルタ回路を提供することを目的としている。

【0007】

30 【課題を解決するための手段】 上記の目的を達成するために本発明によるオーバーサンプリングフィルタ回路は、入力データに対してサンプル数変換を行なうとともに、補間点に対し仮の基準値として“0”を与えるサンプル数変換部と、このサンプル数変換部によって得られたデータに基づいて畳み込み演算を行なってこの演算処理によって得られたデータに対し本来の基準値に対応する補正値に基づいた直流補正を行なう複数のデータ処理部と、これら各データ処理部によって得られた各データを順次、選択して出力データを生成する選択部とを備えたことを特徴としている。

【0008】

40 【作用】 上記の構成において、サンプル数変換部によって入力データに対するサンプル数変換が行なわれるとともに、このサンプル数変換処理によって得られた補間点に対し仮の基準値として“0”が与えられた後、各データ処理部によって前記サンプル数変換部で得られたデータに基づいて畳み込み演算が行なわれてこの演算処理によって得られたデータに対し本来の基準値に対応する補正値に基づいた直流補正が行なわれ、選択部によって前記各データ処理部で得られた各データが順次、選択され

3

て出力データが生成される。

【0009】

【実施例】まず、実施例の詳細な説明に先だつて本発明の基本原則を説明する。本発明は基本的には、一般的に使用されているオーバーサンプリング処理方法。例えば図6に示す処理方法において、各補間点に基準レベルCを与える代わりに常に“0”を与えると、この値に係数 $h_1$ を乗算しても、乗算結果が常に“0”になり、演算結果に寄与しないことを利用し、さらにこのような処理を行なうと、あるときには偶数タップのみ、またある時には、奇数タップのみしか演算に寄与しないことを利用して、これら偶数タップ、奇数タップに得られたデータに対し、本来の基準値Cに対応する補正値 $D_1$ （または、補正値 $D_2$ ）を加算してこれら偶数タップ側の演算結果と奇数タップ側の演算結果とを交互に選択することにより、入力データ速度に対して2倍のオーバーサンプリング処理を行なったときと同じ出力データを得る。

【0010】図1はこのような基本原則に基づく本発明によるオーバーサンプリングフィルタ回路のうち、直線位相の2倍オーバーサンプリング処理を行なう回路の一実施例を示すブロック図である。

【0011】この図に示すオーバーサンプリングフィルタ回路はサンプル数変換回路1と、デジタルフィルタ回路2とを備えており、入力データに対して最初にサンプル数変換を行なってこのサンプル数変換処理によって得られた各補間点に仮の基準値として“0”を与えた後、デジタルフィルタ回路2によって前記サンプル数変換回路1から出力されるデータに対して帯域制限を施しながら本来の基準値Cに対応する補正値 $D_1$ （または、補正値 $D_2$ ）に基づいて直流補正を行なって出力データを得る。

【0012】サンプル数変換回路1は入力データに対してサンプル数変換処理を施して入力標本点間に補間点を挿入するとともに、各補間点に対する仮の基準値として常に“0”を与えてこの処理によって得られたデータをデジタルフィルタ回路2に供給する。

【0013】デジタルフィルタ回路2は図2に示す如くレジスタ部5と、偶数側データ処理部6と、奇数側データ処理部7と、マルチプレクサ回路8とを備えており、前記サンプル数変換回路1から出力されるデータに対して帯域制限を施しながら偶数タップ側のデータと、奇数タップ側のデータとに対して直流補正を行ない、これによって得られたデータを交互に選択して出力データを生成する。

【0014】レジスタ部5はシリアルに接続される複数のレジスタ10を備えており、前記サンプル数変換回路1に入力される入力データの入力データ速度と同じ周波数を持つクロック信号が供給される毎に、前記サンプル数変換回路1から出力されるデータを取り込みながらこれをシフトして各偶数タップに得られたデータを偶数側

4

データ処理部6に供給するとともに、各奇数タップに得られたデータを奇数側データ処理部7に供給する。

【0015】偶数側データ処理部6は前記各レジスタ10の偶数タップに得られたデータを2つずつ選択して加算する複数の偶数側加算器12と、これら各偶数側加算器12の加算動作によって得られた各データに対して予め設定されている係数 $h_1$ 、 $h_3$ 、 $h_5$ 、 $h_7$ を各々乗算する複数の偶数側乗算器13と、これら各偶数側乗算器13の乗算動作によって得られたデータを加算して図3(a)に示すようなインパルス応答データを生成する複数の偶数側加算器14と、これら各偶数側加算器14の加算動作によって得られた1つのデータに対して本来の基準値Cに対応する補正値 $D_1$ を加算する偶数側加算器15とを備えており、前記レジスタ部5から出力される複数の偶数データに対して加算処理や係数乗算処理等を実施した後、これらの処理によって得られたデータに対して本来の基準値Cに対応する補正値 $D_1$ を加算してこれを直流補正し、補正済みデータを補間点におけるインパルス応答としてマルチプレクサ回路8に供給する。この場合、補正値 $D_1$ は固定値Cに対する偶数タップの応答であるから次式に示す如く常に一定の値になる。

【数1】

$$D_1 = 2C \sum_{k=0}^4 h_{2k} + Ch_0$$

【0016】また、奇数側データ処理部7は前記各レジスタ10の奇数タップに得られたデータを2つずつ選択して加算する複数の奇数側加算器16と、これら各奇数側加算器16の加算動作によって得られた各データに対して予め設定されている係数 $h_0$ 、 $h_2$ 、 $h_4$ 、 $h_6$ 、 $h_8$ を各々乗算する複数の奇数側乗算器17と、これら各奇数側乗算器17の乗算動作によって得られた各データを加算して図3(b)に示すインパルス応答データを生成する複数の奇数側加算器18と、これら各奇数側加算器18の加算動作によって得られた1つのデータに対して本来の基準値Cに対応する補正値 $D_2$ を加算する奇数側加算器19とを備えており、前記レジスタ部5から出力される複数の奇数データに対して加算処理や係数乗算処理等を実施した後、これらの処理によって得られたデータに対して本来の基準値Cに対応する補正値 $D_2$ を加算してこれを直流補正し、補正済みデータを入力標本点におけるインパルス応答としてマルチプレクサ回路8に供給する。この場合、補正値 $D_2$ は固定値Cに対する奇数タップの応答であるから次式に示す如く常に一定の値になる。

【数2】

$$D_2 = 2C \sum_{k=0}^3 h_{2k+1}$$

なお、この場合、通常のオーバーサンプリング処理では

補正値 $D_2$ は前記直流補正値 $D_1$ と等しい値になる。

【0017】マルチプレクサ回路8は前記サンプル数変換回路1に入力される入力データの入力データ速度の2倍の周波数を持つクロック信号が供給される毎に、前記偶数側データ処理部6から出力されるデータ、前記奇数側データ処理部7から出力されるデータを交互に選択して図3(c)に示すデータを生成しこれをオーバーサンプリング処理済みの出力データとして出力する。

【0018】このようにこの実施例においては、補間点に基準レベルCを与える代わりに常に“0”を与えると、この値に係数 $k_i$ を乗算しても、乗算結果が常に“0”になり、演算結果に寄与しないことを利用し、さらにこのように処理を行なうと、あるときには偶数タップのみ、またある時には、奇数タップのみしか演算に寄与しないことを利用して、これら偶数タップ、奇数タップに得られたデータに対し、本来の基準値Cに対応する補正値 $D_1$ （または、補正値 $D_2$ ）を加算してこれら偶数タップ側の演算結果と奇数タップ側の演算結果とを交互に選択することにより、入力データ速度に対して2倍のオーバーサンプリング処理を行なったときと同じ出力データを得るようにしたので、デジタルフィルタ回路2を構成するレジスタ部5や偶数側データ処理部6、奇数側データ処理部7の動作速度を入力データの入力データ速度と同じにしながら、オーバーサンプリング処理を行なうことができ、これによってオーバーサンプリング処理の高速化を達成することができる。

【0019】図4は本発明によるオーバーサンプリングフィルタ回路のうち、 $n$ 倍のオーバーサンプリング処理を行なう回路の一実施例を示すブロック図である。この図に示すオーバーサンプリングフィルタ回路はサンプル数変換回路20と、デジタルフィルタ回路21とを備えており、入力データに対して最初にサンプル数変換を行なってこのサンプル数変換処理によって得られた各補間点に仮の基準値として“0”を与えた後、デジタルフィルタ回路21によって帯域制限を施しながら本来の基準値Cに対応する補正値 $D_1 \sim D_n$ に基づいて直流補正を行なって出力データを得る。

【0020】サンプル数変換回路20は入力データに対してサンプル数変換処理を施して入力標本点間に補間点を挿入するとともに、各補間点に対する仮の基準値として常に“0”を与えてこの処理によって得られたデータをデジタルフィルタ回路21に供給する。

【0021】デジタルフィルタ回路21は図5に示す如くレジスタ部22と、複数のデータ処理部23と、マルチプレクサ回路24とを備えており、前記サンプル数変換回路20から出力されるデータに対して帯域制限を施しながら直流補正を行なって出力データを生成する。

【0022】レジスタ部22はシリアルに接続される複数のレジスタ25を備えており、前記サンプル数変換回路20に入力される入力データの入力データ速度と同じ

周波数を持つクロック信号が供給される毎に、前記サンプル数変換回路20から出力されるデータを取り込みながらこれをシフトして各タップに得られたデータを各データ処理部23に供給する。

【0023】各データ処理部23は各々、前記各レジスタ25の各タップに得られたデータに対して予め設定されている係数 $h_1 \sim h_{n-1}$ を乗算する複数の乗算器26と、これら各乗算器26の乗算動作によって得られたデータを加算する複数の加算器27と、これらの各加算器27によって得られた1つのデータに対して基準値Cに対応する補正値 $D_1$ （または、補正値 $D_2 \sim$ 補正値 $D_n$ のうち、対応する値）を加算して前記データを直流補正する加算器28とを備えており、前記レジスタ部22から出力される複数のデータに対して係数乗算処理や加算処理等を施した後、これらの処理によって得られたデータに対して本来の基準値Cに対応する補正値 $D_1$ （または、補正値 $D_2 \sim$ 補正値 $D_n$ のうち、対応する値）を加算してこれを直流補正し、補正済みデータをマルチプレクサ回路24に供給する。

【0024】マルチプレクサ回路24は前記サンプル数変換回路20に入力される入力データの入力データ速度の $n$ 倍の周波数を持つクロック信号が供給される毎に、前記各データ処理部23から出力されるデータを順次、サイクリックに選択してこの選択動作によって得られたデータをオーバーサンプリング処理済みの出力データとして出力する。

【0025】このようにこの実施例においては、各補間点に基準レベルCを与える代わりに常に“0”を与えるとともに、各データ処理部23において本来の基準値Cに対応する補正値 $D_1 \sim$ 補正値 $D_n$ を各々加算してこれらを選択することにより、入力データ速度に対して $n$ 倍のオーバーサンプリング処理を行なったときと同じ出力データを得るようにしたので、デジタルフィルタ回路21を構成するレジスタ部22や各データ処理部23の動作速度を入力データの入力データ速度と同じにしながら、オーバーサンプリング処理を行なうことができ、これによってオーバーサンプリング処理の高速化を達成することができる。

【0026】また、上述した各実施例においては、偶数側データ処理部6や奇数側データ処理部7（または、各データ処理部23）で個々に補正値 $D_1$ 、 $D_2$ （または、補正値 $D_1 \sim D_n$ ）を加算して補正間点に対するインパルス応答や入力標本点に対するインパルス応答を補正するようにしているが、このような補正をマルチプレクサ回路8（または、マルチプレクサ回路24）でまとめて行なうようにしても良い。但し、この場合、このマルチプレクサ回路8、24の出力データ速度が入力データの2倍（または、 $n$ 倍）になっているので、演算速度を2倍（または、 $n$ 倍）にすることが必要になる。

【0027】また、上述した各実施例においては、直流

補正が必要な場合を例にとって本発明を説明したが、音声信号のように直流補正量が“0”のなるときには、このような直流補正処理を省略するようにしても良い。

【0028】

【発明の効果】以上説明したように本発明によれば、デジタルフィルタ回路を構成する各加算器、各乗算器等の動作速度を入力データの入力データ速度と同じにしながら、オーバーサンプリング処理を行なうことができ、これによってオーバーサンプリング処理の高速化を達成することができる。

【図面の簡単な説明】

【図1】本発明によるオーバーサンプリングフィルタ回路のうち、直線位相の2倍オーバーサンプリング処理を行なう回路の一実施例を示すブロック図である。

【図2】図1に示すデジタルフィルタ回路の詳細な構成例を示す回路図である。

【図3】図2に示すデジタルフィルタ回路のフィルタ特性例を示す模式図である。

【図4】本発明によるオーバーサンプリングフィルタ回路のうち、 $n$  倍のオーバーサンプリング処理を行なう回

路の一実施例を示すブロック図である。

【図5】図3に示すデジタルフィルタ回路の詳細な構成例を示す回路図である。

【図6】従来から知られているオーバーサンプリング処理の一例を説明するためのブロック図である。

【図7】図6に示すデジタルフィルタ回路の詳細な構成例を示す回路図である。

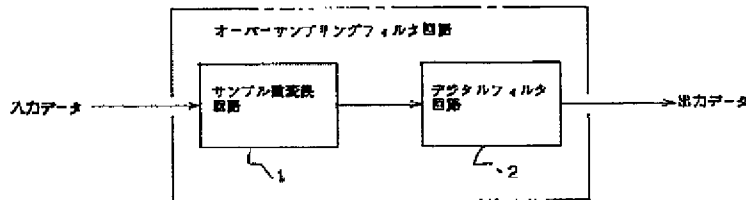
【図8】図7に示すデジタルフィルタ回路のフィルタ特性例を示す模式図である。

10 【図9】図6に示すオーバーサンプリング処理によって処理される入力データの周波数特性と、出力データの周波数特性とを示す模式図である。

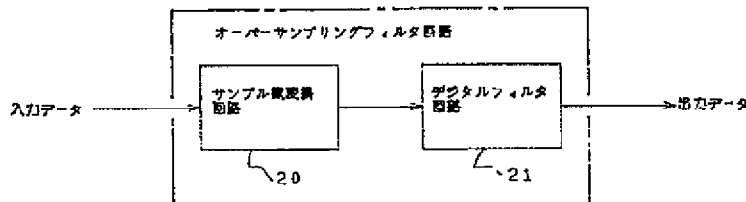
【符号の説明】

- 1 サンプル数変換回路（サンプル数変換部）
- 2 デジタルフィルタ回路
- 5 レジスタ部
- 6 データ処理部（偶数側データ処理部）
- 7 データ処理部（奇数側データ処理部）
- 8 マルチプレクサ回路（選択部）

【図1】

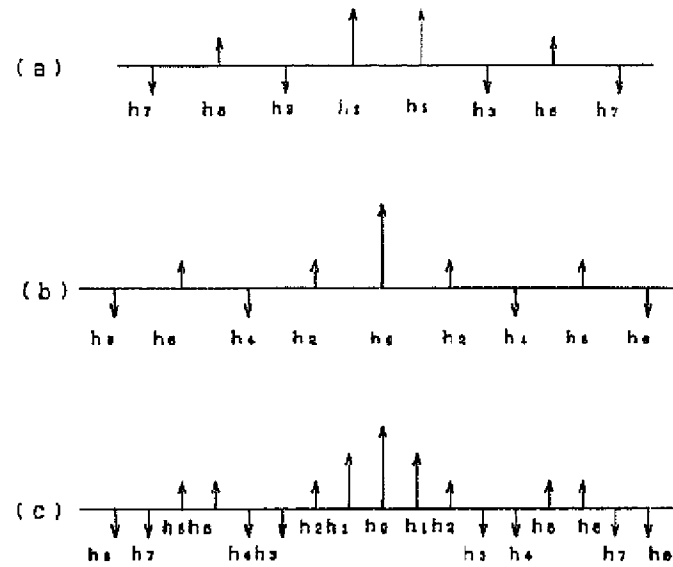


【図4】

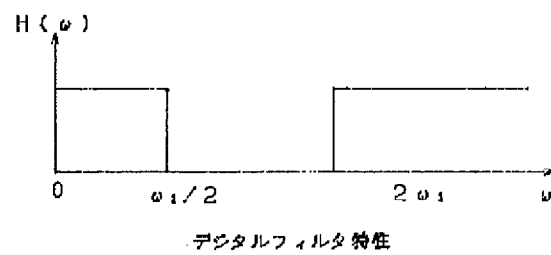




【図3】



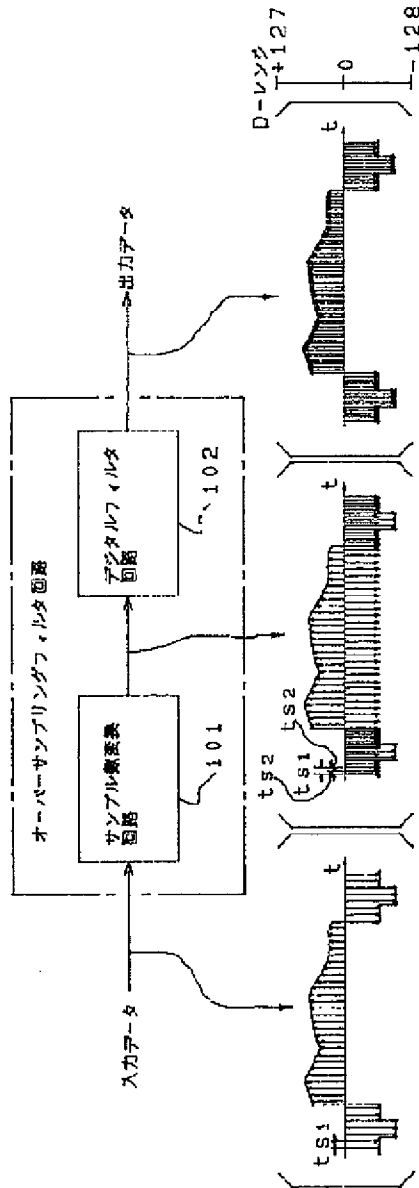
【図8】



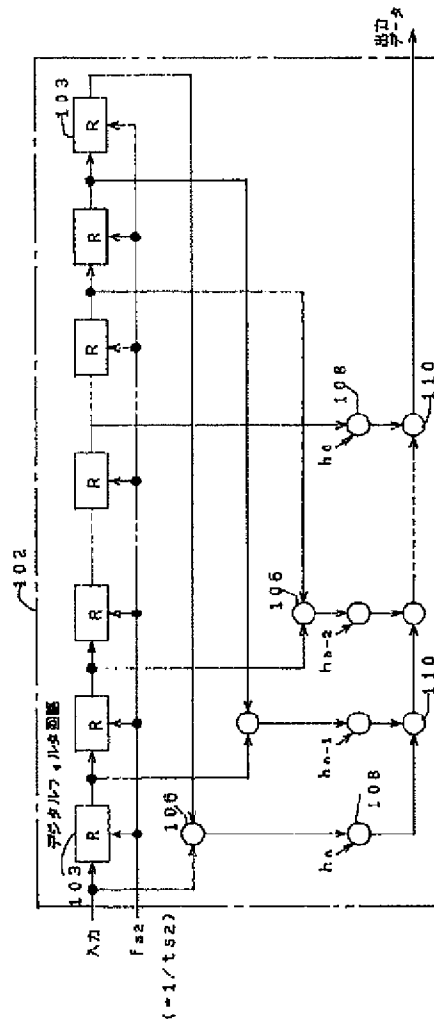




【図6】



【図7】



【図9】

